



RA8876

TFT LCD 文字图形控制器

规格书

Version 1.2

June 5, 2025

RAiO Technology Inc.

©Copyright RAIo Technology Inc., 2015-2025

1. 简介

本份是 TFT LCD 控制器 RA8876 规格书，RA8876 支持 CMOS 准位的接口 (MIPI DPI-2)，规格书内包含：系统方块图、引脚图、AC/DC 电气特性、各个功能子方块、缓存器、省电模式的详细描述。

1.1 概况

RA8876 是极省电的彩色 LCD 控制器，对外部内存 SDRAM 支持最多可达 512M-bit，为了可以快速对外部的显存进行屏幕更新，因此 RA8876 提供一高效频宽的 8/16bit 异步并列的主控端接口，RA8876 提供多段的显存缓冲区段，并提供画中画 (PIP)、透明度控制与显示旋转镜像等功能。

1.2 系统与芯片示意图

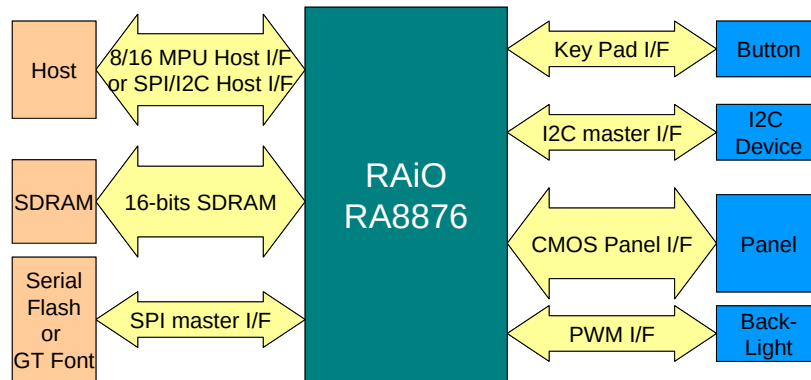


圖 1-1 : System Diagram

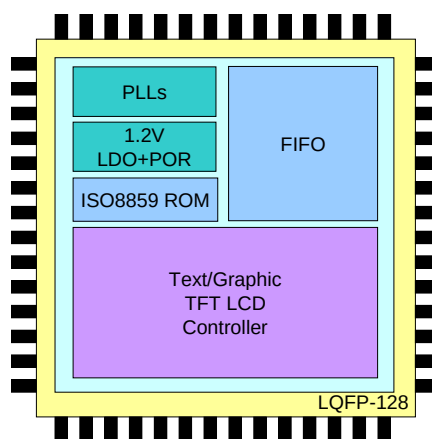


圖 1-2 : Chip Diagram

2. 特性

2.1 图框缓冲区

- 支援 SDRAM 大小:16Mb, 32Mb, 64Mb, 128Mb, 256Mb 或 512Mb
- 支持 SDRAM 设定格式: x16
- 支持 16-bit SDRAM 宽度, frame buffer 最大可为 256MB/512MB

2.2 主控端界面

- 支持 8080/6800 8/16-bit 异步并行接口 (MIPI DBI Type A)
 - 对于扩展的 MPU 周期提供 Xnwait 的信号以供交握
- 支持串行主控端接口, 例如. IIC, 3/4-wire SPI
- 对于图像数据写入支持镜像与旋转的功能

2.3 输入显示数据格式

- 1bpp: 单色 (1-bit/像素)
- 8bpp: RGB 3:3:2 (1-byte/像素)
- 16bpp: RGB 5:6:5 (2-byte/像素)
- 24bpp: RGB 8:8:8 (3-byte/像素或 4-byte/像素)
 - Index 2:6 (64 索引色/像素并带透明度属性)
 - RGB 4:4:4:4 (4096 索引色/像素并带透明度属性)

2.4 显示模式

- 使用者可以设定 24/18/16-bits TFT 显示输出方式

2.5 支持多种屏幕分辨率

- 支持 16/18/24-bit CMOS 接口屏幕或是 MIPI DPI-2
- 支持屏幕分辨率最大可达 2048X2048 像素 (注: 实际的面板分辨率是取决于 pixel clock 与色深)
 - QVGA: 320 x 240 x 16/18/24-bit LCD 屏幕
 - WQVGA: 480 x 272 x 16/18/24-bit LCD 屏幕
 - VGA: 640 x 480 x 16/18/24-bit LCD 屏幕
 - WVGA: 800 x 480 x 16/18/24-bit LCD 屏幕
 - SVGA: 800 x 600 x 16/18/24-bit LCD 屏幕
 - QHD: 960 x 540 x 16/18/24-bit LCD 屏幕
 - WSVGA: 1024 x 600 x 16/18/24-bit LCD 屏幕
 - XGA: 1024 x 768 x 16/18/24-bit LCD 屏幕
 - WXGA: 1280 x 768 x 16/18/24-bit LCD 屏幕
 - WXGA: 1280 x 800 x 16/18/24-bit LCD 屏幕
 - WXGA: 1366 x 768 x 16/18/24-bit LCD 屏幕

2.6 显示功能

- 使用者可自行定义 4 个 32X32 图形光标
- 显示窗口
显示窗口大小是经由定义 LCD 缓存器得到，而透过底图 (canvas) 缓存器设定可以对显示窗口进行全部或部分更新。工作窗口的大小与起始位置的分辨率在水平上必须是以 8 个像素的倍数，以垂直而言则是 1 个扫描线的倍数。窗口的坐标参考零点为左上角(即使在翻转图像或旋转文字时，亦不需要主控端处理)。
- 虚拟显示
当显示的图像大于 LCD 的大小时则虚拟显示会被致能，而在任意方向可以很容易做到滚动图像。
- 画中画 (PIP)
支持两个画中画窗口，当致能画中画窗口时则画中画窗口会永远显示在主窗口中。画中画窗口的大小与起始位置水平上是 4 个像素的倍数，垂直上则是一条扫描线。透过设定画中画窗口的起始位置可以达成图像的滚动。画中画 1 的窗口永远显示在画中画 2 上面。
- 多重显示缓冲区
多重显示缓冲区的功能允许显示窗口在各显示缓冲区间切换，SDRAM 的大小与使用者写入缓冲区大小来决定显示缓冲区的数目。在使用多重显示缓冲区上，使用者可以经由切换不同显示缓冲区，达成简单的动画效果。
- 唤醒显示
唤醒显示效果如果被致能时，那唤醒时可以快速显示预先储存在 SDRAM 中的显示数据。这个功能是在 Standby 与 Suspend 模式唤醒时使用。
- 垂直翻转显示
垂直翻转显示功能只适用在显示上，对于其它功能子方块的读写是不影响的，在垂直翻转显示致能时 PIP 是被禁能的。
- 彩带显示 (Color Bar Display)
在没有 SDRAM 的情况下仍然可以以彩带的方式显示，默认分辨率为 640x480 像素。

2.7 开机显示

- 在没有外部 MPU 的情况下，因 RA8876 有内建的微处理器可以使用储存在 serial flash 内的指令与数据，以达成显示功能。这个功能会在电源开启时执行，并且在执行完后将控制权交由外部 MPU 此功能支持 12 种指令。指令如下：

■ EXIT: 跳出指令	(00h/FFh)	-- one byte instruction
■ NOP: 空指令	(AAh)	-- one byte instruction
■ EN4B: 进入 4-Byte 模式指令	(B7h)	-- one byte instruction
■ EX4B: 跳出 4-Byte 模式指令	(E9h)	-- one byte instruction
■ STSR: 状态读取指令	(10h)	-- two bytes instruction
■ CMDW: 命令写入指令	(11h)	-- two bytes instruction
■ DATR: 数据读取指令	(12h)	-- two bytes instruction
■ DATW: 数据写入指令	(13h)	-- two bytes instruction
■ REPT: 加载计数指令	(20h)	-- two bytes instruction
■ ATTR: 抓取属性指令	(30h)	-- two bytes instruction
■ JUMP: 跳跃指令	(80h)	-- five bytes instruction
■ DJNZ: 递减并跳跃指令	(81h)	-- five bytes instruction

2.8 区块传输引擎 (BTE)

- 2D BitBLT 引擎
- 具有光栅操作与颜色扩展的复制数据
- 方型填满与图样填满
 - 提供使用者定义的 8x8/16x16 像素的图样
- 混合透明 (Opacity)

使用混合透明模式可以将两个图档混和成新的图形，然后再用画中画的方式显示出来。在处理的速度上而言混合透明与待处理图档大小有关，此外，亦可处理单张图档。

 - 关键彩度 (Chroma-keying) 功能: 经由指定的 RGB 颜色来做为透明的参考并进行混和影像的处理。
 - 图形混合透明 (Alpha-blending) : 根据缓存器设定透明的比率来进行两张图像的混成 (淡入与淡出功能必须被致能)。
 - 像素混合透明 (Alpha-blending) : 根据 RGB 格式来混合影像，例如 8bitRGB，则 MSB2bit 为 α 值。

2.9 几何绘图引擎

- 支持画点、线、曲线、椭圆、三角形、矩形、圆角矩形

2.10 主 SPI 界面

2.10.1 文字功能

- 内建 ISO/IEC 8859-1/2/4/5.8x16、12x24、16x32
- 支持集通 16X16/24X24/32X32 串行字型 ROM 例如 Uni-code/BIG5/GB 等等，支持的集通型号有 GT21L16T1W、GT30L16U2W、GT30L24T3Y、GT30L24M1Z、GT30L32S4W、GT20L24F6Y、GT21L24S1W
- 支持使用者自定义字型半角 (8x16/12x24/16x32) 与全型
- 对于写入文字支持可程序文字光标
- 支持垂直水平放大字型 X1, X2, X3, X4 倍数
- 支持文字 90 度旋转

2.10.2 DMA 功能

- 支持外部串行闪存 (serial flash) 数据复制至图框缓冲区

2.10.3 一般主 SPI

- 兼容 Motorola SPI 规格
- 16 bytes 读取深度的 FIFO
- 16 bytes 写入深度的 FIFO
- 在 Tx FIFO 完全清空并且 SPI Tx/Rx 引擎闲置时会发出中断

2.11 IIC 界面

- IIC master interface
 - 可以使用在扩充 I/O device，例如在屏幕控制的触控屏幕
 - 支持标准模式 (100kbps) 与快速模式 (400kbps)

2.12 脉宽调制与定时器

- 内建两个 16-bit 计数器
- 一个 8-bit pre-scalars 与一个 4-bit 除频
- 输出波形的工作周期是可程序化的
- 自动重加载模式或单击模式
- 死区 (Dead-zone) 保护

2.13 按键接口

- 支持 5x5 键盘 (必须使用与 GPIO 的共用脚)
- 可程序化的扫描周期
- 支持长按键与重复键
支持同时按两键
注: 在限制条件下可以支持同时按 3 键 (3 个键线段组成角度必须不是 90°)
- 支持键盘唤醒功能

2.14 省电模式

- 支持 3 种省电模式
 - 待机 (Standby)、休眠 (Suspend) 与睡眠 (Sleep) 模式
- 可以使用主控端、按键、外部事件唤醒

2.15 频率来源

- 内建可程序锁相回路 PLL 以提供系统频率、LCD 扫描频率与 SDRAM 频率使用
- 单一石英晶体震荡输入: (XI/XO: 10-15MHz)
- 内部核心最大系统频率 (最大值 120MHz)
- SDRAM 频率 (最大值 166MHz)
- LCD 屏幕扫描频率 (最大值 100MHz)

2.16 复位

- 接受外部硬件复位
- 软件命令复位

2.17 电源

- I/O 电压: 3.3V +/- 0.3V
- 内建 1.2V LDO for core power

2.18 封装

- LQFP-128
- 操作温度: -40℃ ~ 85℃

3. 产品封装

3.1 封装引脚图

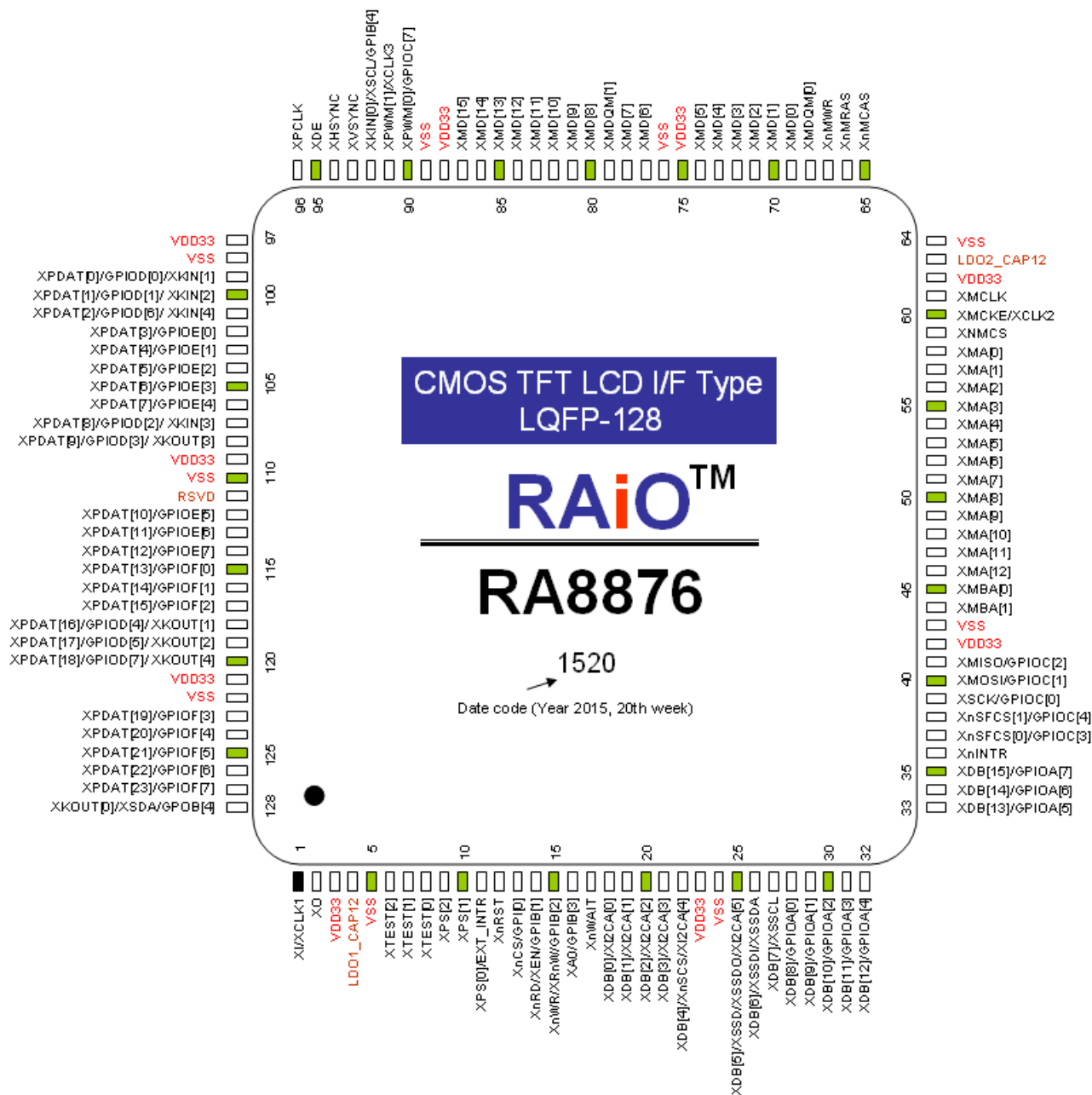
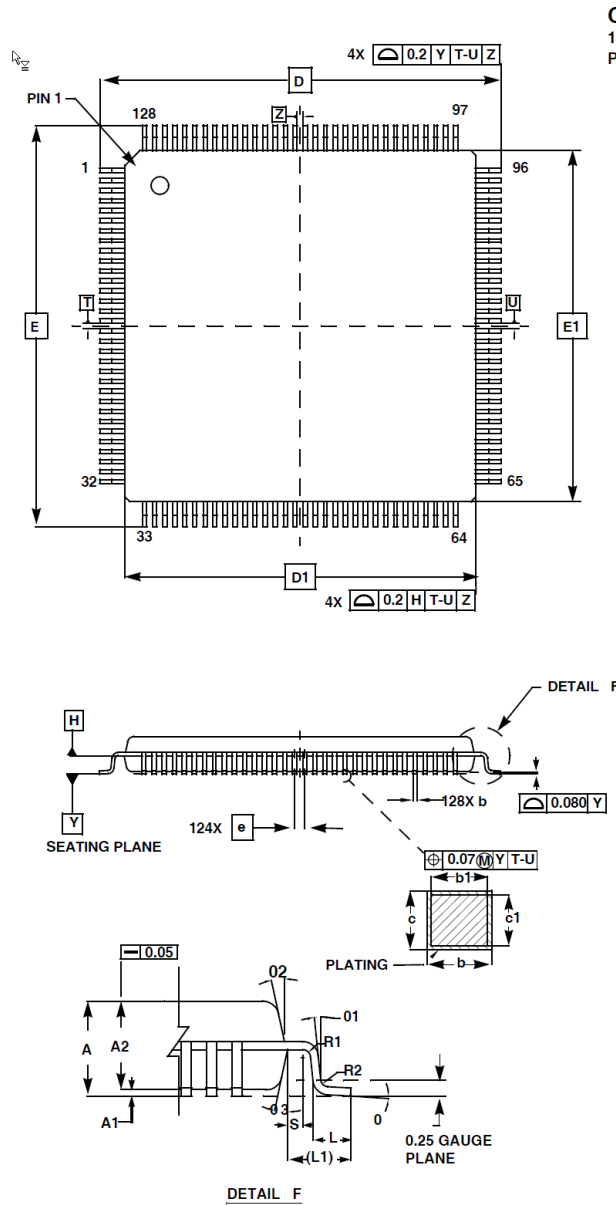


圖 3-1

3.2 封装尺寸



4. 引脚定义

4.1 并行主控端接口 (25 引脚)

接 脚 名 稱	I/O	腳 位 說 明
XDB[15:0]	IO (8mA)	数据总线 数据总线提供主控端与RA8876 的并行接口数据传送。 XDB[15:8] 可以设定 GPIO (GPIO-A[7:0])，前提是没有设定成 8080/6800 16-bits并行接口数据总线。 XDB[7:0] 如果在串行主控端模式下,此信号也提供为串行的主控端信号使用 et. 请参考串行主控端接口章节。
XA0	I	命令/数据 选择 此引脚被使用在选择命令还是数据的周期。 XA0 = 0, 状态读取/命令写入。 XA0 = 1, 数据读取/数据写入。
XnCS	I	芯片智能 低电平致能，如果主控端设定 RA8876 为串行主控端模式，则此引脚设定为 GPI-B0 并且读取引脚的值，引脚内部有上拉电阻。
XnRD (XEN)	I	致能/读取致能 当微处理器是 8080 系列，此引脚是当作 XnRD 使用 (读取数据)，低电平动作。 当微处理器是 6800 系列，此引脚是当作 XEN 使用 (致能信号)，高电平动作。 如果主控端接口设定成串行主控模式，那么此引脚则为 GPI-B1，并且可读取引脚上的电压值。 内建 pull-high 电阻。
XnWR (XRnW)	I	写入/读写 当微处理器接口是 8080 系列，此引脚会成为 XnWR (数据写入)，低电平动作。 当微处理器接口是 6800 系列，此引脚会成为 XRnW (数据 读取/写入)，读取时是高电平动作，写入是低电平动作。 如果主控端接口是设定成串行主控模式，那么此引脚将会成为 GPI-B2。 内建上拉电阻。
XnINTR	O (8mA)	中断信号输出 告知主控端目前内部状态的中断输出。
XnWAIT	O (8mA)	等待信号输出 当 XnWAIT 为 high，表示 RA8876 已经准备好传输数据，当 XnWAIT 为 low，微处理器应该进入等待周期。
XPS[2:0]	I	并行/串行 主控端接口选择 00X: (并行主控端) 8080 8/16-bits 数据总线接口。 01X: (并行主控端) 6800 i8/16-bits 数据总线接口。 100: (串行主控端) 3-wire SPI。 101: (串行主控端) 4-wire SPI。 11x: (串行主控端) IIC。

接腳名稱	I/O	腳位說明
		<u>註:</u> 如果主控端接口設定成並列主控端模式，那麼 XPS[0] 就外部中斷腳。

4.2 串行主控端接口 (与并列主控端接口)

接腳名稱	I/O	腳位說明
XSSCL (XDB[7])	I	SPI 与 IIC 频率 XSSCL、3-wire、4-wire 串行或 IIC 接口频率。
XSSDI XSSDA (XDB[6])	I	IIC 数据/4-wireSPI 数据输入 3-wire SPI 界面: NC, 请连接到 GND。 4-wire SPI 界面: XSSDI 串行接口数据输入。 IIC 界面: XSSDA 串行接口输入输出双向。
XSSD XSSDO (XDB[5])	IO	3-wireSPI 数据/4-wireSPI 数据输出/IIC Slave 位置选择 3-wireSPI I/F: XSSD, 串行接口输入输出双向数据传输。 4-wireSPI I/F: XSSDO, 串行接口数据输出。 IIC 界面: XI2CA[5], IIC 装置地址 bit [5]。
XnSCS (XDB[4])	I	SPI 致能/IIC Slave 地址选择 XnSCS, 在 3-wire 与 4-wireSPI 串行接口中, 此引脚为致能信号。 IIC 界面: XI2CA[4], IIC 装置地址 bit [4]。
XI2CA[3:0] (XDB[3:0])	I	IIC 界面: IIC Slave 地址选择 XI2CA[3:0], 在 3-wire 与 4-wire SPI 界面: NC, 请连接到 GND。 IIC 界面: IIC 装置地址 bit [3:0]。

4.3 SDR SDRAM 界面 (39 引脚)

接腳名稱	I/O	腳位說明
XMCKE (XCLK2)	IO (8mA)	频率致能/频率 2 输入(内存频率) 当 XTEST[0] 为低电平时, 此引脚 SDR 内存频率致能的功能。 当 XTEST[0] 为高电平时, 此引脚为 RA8876 外部频率 2 输入, 并且透过 XMCLK 提供给 SDR 使用。
XMCLK	IO (8mA)	SDR 内存频率输出 由内部 MPLL 或 XCLK2 来驱动。
XnMCS	O (4mA)	芯片选择
XnMRAS	O (4mA)	命令输出: XnMRAS、XnMCAS 与 XnMWR (须与 XnMCS 搭配) 可以输出命令
XnMCAS	O (4mA)	命令输出
XnMWR	O (4mA)	命令输出

接腳名稱	I/O	腳位說明
XMBA[1:0]	O (4mA)	区块 (Bank) 地址
XMA[12:0]	O (4mA)	地址
XMD[15:0]	I/O (4mA)	数据总线
XMDQM[1:0]	O (4mA)	输入/输出屏蔽

4.4 Serial Flash 或 SPI master 界面 (5 引脚)

接腳名稱	I/O	腳位說明
XnSFCS0	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 0 SPI 芯片选择脚#0 使用在 Serial Flash/ROM 或 SPI 装置选择上。 *如果 SPI master 被禁能，那么此引脚可以被程序规划成 GPIO (GPIO-C3)，默认 GPIO-C3 为输入功能。
XnSFCS1	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 1 SPI 芯片选择脚#0 使用在 Serial Flash/ROM 或 SPI 装置选择上。 * 如果 SPI master 被禁能，那么此引脚可以被程序规划成 GPIO (GPIO-C4)，默认 GPIO-C4 为输入功能。 *如果 xtest[2:1]不等于 01b 那么在 reset 周期时会自动 pull-high。
XSCK	IO (8mA)	SPI 串行频率 此引脚是串行频率输出，主要是给 Serial Flash/ROM 或 SPI 装置使用。 * 如果 SPI master 接口被禁能，那么此引脚可以被程序规划为 GPIO (GPIO-C0)；默认 GPIO-C0 输入功能。
XMOSI (XSIO0)	IO (8mA)	主输出从输入 Single 模式: Serial Flash/ROM 或 SPI 装置输入数据用。对 RA8876 而言此脚为输出。 Dual 模式: 此引脚为双向数据传送#0(SIO0)，此功能只能在 Serial flash DMA 使用。 *如果 SPI master 接口被禁能，那么此引脚可以被程序规划为 GPIO (GPIO-C1)；默认 GPIO-C1 输入功能。
XMISO (XSIO1)	IO (8mA)	主输入从输出 Single 模式: Serial Flash/ROM 或 SPI 装置输出数据用。对 RA8876 而言此脚为输入。 Dual 模式: 此引脚为双向数据传送#1 (SIO1)。此功能只能在 Serial flash DMA 使用。 *如果 SPI master 接口被禁能，那么此引脚可以被程序规划为 GPIO (GPIO-C2)，默认 GPIO-C2 输入功能。

4.5 PWM 界面 (2 引脚)

接 腳 名 稱	I/O	腳 位 說 明
XPWM0	IO (8mA)	PWM 信号输出 1/初始显示致能 Pull-high 这根引脚可以让初始显示致能。 默认是禁能初始显示功能，而这根引脚在复位 (RESET) 周期时内部会被拉低。换句话说在复位周期结束时，内部拉低电阻将会被禁能。 XPWM 0 的输出模式可以在缓存器中指定。 如果 PWM 被禁能，那么此引脚可以被程序规划为 GPIO (GPIO-C7)，默认 GPIO-C7 是输入功能或是输出核心频率。
XPWM1 (XCLK3)	IO (8mA)	PWM 信号输出 2 / 频率 3 输入(屏幕扫描频率) 当 XTEST[0] 为低电平时： XPWM1 可以被设定为输出其输出模式可经由缓存器设定来完成。那么其输出可以指定为标准的 XPWM1 功能，oscillator 频率输出或是 SCAN 频宽不足与超过内存地址的错误旗标。 当 XTEST[0] 为高电平时： XPWM1 引脚就是外部屏幕扫描频率 3 输入。

4.6 键盘扫描 (9 引脚)

接 腳 名 稱	I/O	腳 位 說 明
XKIN[4:0]	I	按键数据或 GPIs (General Purpose Input) 按键数据输入 (默认)，内建 pull-up 电阻。 XKIN[0] 具有 IIC master 的 XSCL 功能。 <u>In RA8876</u>, XKIN [4:1] 与 XPDAT、GPIO-D 共享引脚。
XKOUT[4:0]	O (2mA)	Keypad 闪控或 GPOs (General Purpose Output) Keypad 矩阵使用闪控扫描键盘，引脚上为 open-drain 输出 (默认)。 XKOUT[0]具有 IIC master 的 XSDA 功能。 <u>In RA8876</u>, XKOUT [4:1] 与 XPDAT、GPIO-D 共享引脚。

4.7 LCD 屏幕数字接口 (28 信号)

接 腳 名 稱	I/O	腳 位 說 明
XPCLK	O (8mA)	屏幕扫描频率 屏幕扫描频率兼容于通用的 TFT 接口信号。 此信号为 SPLL 驱动产生。
XVSYNC	O (4mA)	VSYNC Pulse 垂直同步信号 VSYNC 兼容于通用的 TFT 接口信号。

接腳名稱	I/O	腳位說明																																																																																																																																		
XHSYNC	O (4mA)	HSYNC Pulse 水平同步信号 HSYNC 兼容于通用的 TFT 接口信号。																																																																																																																																		
XDE	O (4mA)	Data 致能 通用 TFT 接口的 data 有效或 data 致能信号。																																																																																																																																		
XPDAT [23:0]	IO (4mA)	LCD 屏幕数据总线 输出数据至 TFT LCD 数据总线，RA8876 可经由缓存器设定以支持 64K/256K/16.7M 色深，使用者可以经由不同的设定连结相对应的 RGB 总线。																																																																																																																																		
		<table><tr><th>引脚名称</th><th colspan="4">数字 TFT 接口</th></tr><tr><th>TFT 输出设定</th><th>11b (GPIO)</th><th>10b (16-bits)</th><th>01b (18-bits)</th><th>00b (24-bits)</th></tr><tr><td>XPDAT[0]</td><td colspan="3">GPIO-D0/ XKIN[1]</td><td>B0</td></tr><tr><td>XPDAT[1]</td><td colspan="3">GPIO-D1/ XKIN[2]</td><td>B1</td></tr><tr><td>XPDAT[2]</td><td colspan="2">GPIO-D6/ XKIN[4]</td><td>B0</td><td>B2</td></tr><tr><td>XPDAT[3]</td><td>GPIO-E0</td><td>B0</td><td>B1</td><td>B3</td></tr><tr><td>XPDAT[4]</td><td>GPIO-E1</td><td>B1</td><td>B2</td><td>B4</td></tr><tr><td>XPDAT[5]</td><td>GPIO-E2</td><td>B2</td><td>B3</td><td>B5</td></tr><tr><td>XPDAT[6]</td><td>GPIO-E3</td><td>B3</td><td>B4</td><td>B6</td></tr><tr><td>XPDAT[7]</td><td>GPIO-E4</td><td>B4</td><td>B5</td><td>B7</td></tr><tr><td>XPDAT[8]</td><td colspan="3">GPIO-D2/ XKIN[3]</td><td>G0</td></tr><tr><td>XPDAT[9]</td><td colspan="3">GPIO-D3/ XKOUT[3]</td><td>G1</td></tr><tr><td>XPDAT[10]</td><td>GPIO-E5</td><td>G0</td><td>G0</td><td>G2</td></tr><tr><td>XPDAT[11]</td><td>GPIO-E6</td><td>G1</td><td>G1</td><td>G3</td></tr><tr><td>XPDAT[12]</td><td>GPIO-E7</td><td>G2</td><td>G2</td><td>G4</td></tr><tr><td>XPDAT[13]</td><td>GPIO-F0</td><td>G3</td><td>G3</td><td>G5</td></tr><tr><td>XPDAT[14]</td><td>GPIO-F1</td><td>G4</td><td>G4</td><td>G6</td></tr><tr><td>XPDAT[15]</td><td>GPIO-F2</td><td>G5</td><td>G5</td><td>G7</td></tr><tr><td>XPDAT[16]</td><td colspan="3">GPIO-D4/ XKOUT[1]</td><td>R0</td></tr><tr><td>XPDAT[17]</td><td colspan="3">GPIO-D5/ XKOUT[2]</td><td>R1</td></tr><tr><td>XPDAT[18]</td><td colspan="2">GPIO-D7/ XKOUT[4]</td><td>R0</td><td>R2</td></tr><tr><td>XPDAT[19]</td><td>GPIO-F3</td><td>R0</td><td>R1</td><td>R3</td></tr><tr><td>XPDAT[20]</td><td>GPIO-F4</td><td>R1</td><td>R2</td><td>R4</td></tr><tr><td>XPDAT[21]</td><td>GPIO-F5</td><td>R2</td><td>R3</td><td>R5</td></tr><tr><td>XPDAT[22]</td><td>GPIO-F6</td><td>R3</td><td>R4</td><td>R6</td></tr><tr><td>XPDAT[23]</td><td>GPIO-F7</td><td>R4</td><td>R5</td><td>R7</td></tr></table>	引脚名称	数字 TFT 接口				TFT 输出设定	11b (GPIO)	10b (16-bits)	01b (18-bits)	00b (24-bits)	XPDAT[0]	GPIO-D0/ XKIN[1]			B0	XPDAT[1]	GPIO-D1/ XKIN[2]			B1	XPDAT[2]	GPIO-D6/ XKIN[4]		B0	B2	XPDAT[3]	GPIO-E0	B0	B1	B3	XPDAT[4]	GPIO-E1	B1	B2	B4	XPDAT[5]	GPIO-E2	B2	B3	B5	XPDAT[6]	GPIO-E3	B3	B4	B6	XPDAT[7]	GPIO-E4	B4	B5	B7	XPDAT[8]	GPIO-D2/ XKIN[3]			G0	XPDAT[9]	GPIO-D3/ XKOUT[3]			G1	XPDAT[10]	GPIO-E5	G0	G0	G2	XPDAT[11]	GPIO-E6	G1	G1	G3	XPDAT[12]	GPIO-E7	G2	G2	G4	XPDAT[13]	GPIO-F0	G3	G3	G5	XPDAT[14]	GPIO-F1	G4	G4	G6	XPDAT[15]	GPIO-F2	G5	G5	G7	XPDAT[16]	GPIO-D4/ XKOUT[1]			R0	XPDAT[17]	GPIO-D5/ XKOUT[2]			R1	XPDAT[18]	GPIO-D7/ XKOUT[4]		R0	R2	XPDAT[19]	GPIO-F3	R0	R1	R3	XPDAT[20]	GPIO-F4	R1	R2	R4	XPDAT[21]	GPIO-F5	R2	R3	R5	XPDAT[22]	GPIO-F6	R3	R4	R6	XPDAT[23]	GPIO-F7	R4	R5	R7
		引脚名称	数字 TFT 接口																																																																																																																																	
		TFT 输出设定	11b (GPIO)	10b (16-bits)	01b (18-bits)	00b (24-bits)																																																																																																																														
		XPDAT[0]	GPIO-D0/ XKIN[1]			B0																																																																																																																														
		XPDAT[1]	GPIO-D1/ XKIN[2]			B1																																																																																																																														
		XPDAT[2]	GPIO-D6/ XKIN[4]		B0	B2																																																																																																																														
		XPDAT[3]	GPIO-E0	B0	B1	B3																																																																																																																														
		XPDAT[4]	GPIO-E1	B1	B2	B4																																																																																																																														
		XPDAT[5]	GPIO-E2	B2	B3	B5																																																																																																																														
		XPDAT[6]	GPIO-E3	B3	B4	B6																																																																																																																														
		XPDAT[7]	GPIO-E4	B4	B5	B7																																																																																																																														
		XPDAT[8]	GPIO-D2/ XKIN[3]			G0																																																																																																																														
		XPDAT[9]	GPIO-D3/ XKOUT[3]			G1																																																																																																																														
		XPDAT[10]	GPIO-E5	G0	G0	G2																																																																																																																														
		XPDAT[11]	GPIO-E6	G1	G1	G3																																																																																																																														
		XPDAT[12]	GPIO-E7	G2	G2	G4																																																																																																																														
		XPDAT[13]	GPIO-F0	G3	G3	G5																																																																																																																														
		XPDAT[14]	GPIO-F1	G4	G4	G6																																																																																																																														
		XPDAT[15]	GPIO-F2	G5	G5	G7																																																																																																																														
		XPDAT[16]	GPIO-D4/ XKOUT[1]			R0																																																																																																																														
		XPDAT[17]	GPIO-D5/ XKOUT[2]			R1																																																																																																																														
		XPDAT[18]	GPIO-D7/ XKOUT[4]		R0	R2																																																																																																																														
		XPDAT[19]	GPIO-F3	R0	R1	R3																																																																																																																														
		XPDAT[20]	GPIO-F4	R1	R2	R4																																																																																																																														
		XPDAT[21]	GPIO-F5	R2	R3	R5																																																																																																																														
		XPDAT[22]	GPIO-F6	R3	R4	R6																																																																																																																														
		XPDAT[23]	GPIO-F7	R4	R5	R7																																																																																																																														
		*未使用的引脚可以被程序规划成 GPIO-D/E/F(default) 或 XKIN/XOUT，默认是 18bpp 色深模式，因此 XPDAT[17:16/8:9/1:0] 默认是 GPI 模式。																																																																																																																																		

4.8 频率、复位与测试模式 (6 引脚)

接 腳 名 稱	I/O	腳 位 說 明
XI (XCLK1)	I	Crystal 输入/Clock 1 输入 建议外接的 Crystal 频率范围必须是 10MHz。 当 XTEST[0] pin 被设置为低准位时，XI (XCLK1) 脚位是被提供给内部相关的 PLL 电路使用，所以在这样的应用条件下，XI (XCLK1) 脚位必须要连接到一个外部的 crystal，以便产生 RA8876 所需相关的频率讯号。 相反地，当 XTEST[0] pin 被设置为高准位时，XI (XCLK1) 脚位将被拿来当作外部频率的输入引脚。
XO	O	Crystal 输出 XO 脚位为内部相关 PLL 电路的输出引脚，XO 脚位应该被连接至外部的 crystal。
XnRST	I/OC	复位输入信号 为了避免噪声产生错误的复位信号，外部复位信号的准位必须最少要有 256 OSC 的频率周期。 如果没有特殊的需求，建议使用者将此脚浮接。
XTEST[0]	I	频率测试模式 内建 pull down 电阻 此引脚是提供给芯片测试使用的，在标准操作上此引脚应该要连接至 GND。 0: 标准模式，使用内部 PLL 频率。 1: 忽略 PLL，芯片频率改使用外部 XCLK1、XCLK2、XCLK3 输入。
XTEST[2:1]	I	芯片测试模式 00: 标准模式。 01: 令 SPI master 引脚浮接 (使用在 in-system-programming)。 1X: 保留。

4.9 电源与接地

接 腳 名 稱	I/O	腳 位 說 明
LDO1_CAP12 LDO2_CAP12	P	LDO 外接电容 外接 1uF 电容到地。
VDD33	P	IO VDD 3.3V IO 电源输入。
VSS	P	GND IO Cell/Core 接地。
RSVD	P	Reserved 建议外接 1uF 电容到地。